

Использование отечественной радиационно-стойкой системы на кристалле в разработке бортовых систем сбора данных космических аппаратов

Н. Ю. Щепотьев, С. Е. Моисеев, А. В. Никифоров, А. В. Семенов,
А. А. Матюхин, К. Ю. Соловьев, К. В. Ануфрейчик

*Институт космических исследований РАН, Москва, 117997, Россия
E-mail: shchepotyev@cosmos.ru*

Цель исследования заключается в оценке применения отечественной радиационно-стойкой системы на кристалле (СнК) 5510TC028 для создания бортовых систем сбора данных космических аппаратов дистанционного зондирования Земли (КА ДЗЗ). Ключевое преимущество данной СнК — интеграция на одном кристалле 32-разрядного RISC-V процессорного ядра и программируемой логической интегральной схемы (ПЛИС), связанных через внутреннюю высокоскоростную шину. Методология работы включала тестирование на отладочной плате: была разработана тестовая конфигурация для проверки корректности взаимодействия процессора и ПЛИС через стандартные интерфейсы, оценки рабочей частоты и производительности обмена данными. В результате экспериментов была подтверждена стабильная работа системы, достигнута достаточная для целевых задач скорость обмена между ядрами и определена максимальная рабочая частота. Опираясь на проведённый анализ требований к современным КА ДЗЗ, существующих тенденций развития КА ДЗЗ, в статье показано, что интеграция компонентов, подтверждённая радиационная стойкость, компактность и использование отечественной компонентной базы делают СнК 5510TC028 готовым и перспективным решением для создания бортовой аппаратуры в рамках будущих российских космических миссий.

Ключевые слова: система на кристалле, СнК, бортовые системы сбора данных, космический аппарат дистанционного зондирования Земли, КА ДЗЗ, программируемая логическая интегральная схема, ПЛИС, процессорное ядро RISC-V, отечественная компонентная база, отладочная плата, интерфейс AMBA

Одобрена к печати: 15.10.2025

DOI: 10.21046/2070-7401-2026-23-1-111-120

Введение

Согласно «Концепции развития российской космической системы дистанционного зондирования Земли на период до 2025 года» в настоящее время среди тенденций развития космических средств и технологий дистанционного зондирования Земли (ДЗЗ) можно выделить:

- увеличение относительного количества малоразмерных космических аппаратов (КА) (малых, мини- и микроспутников);
- непрерывное возрастание детальности космических снимков (уменьшение пространственного разрешения до 0,5–1 м);
- появление и расширение областей применения сверхмногоспектральных съёмок (видеоспектрометрических, гиперспектральных) с числом каналов 256 и более;
- начало интенсивного освоения микро-/нанотехнологий и создания сверхбольших кластерных космических систем из микро- и наноспутников;
- неуклонное расширение состава исследовательских КА ДЗЗ и космических экспериментальных программ, направленных на научное изучение Земли и отработку новых методов и приборов ДЗЗ.

Все вышеперечисленные пункты, и в особенности требования к детализации снимков, которые подразумевают использование более совершенных матриц с большим количеством светочувствительных элементов, приводят к ещё одной тенденции — увеличению информационного потока данных ДЗЗ как по совокупному объёму, так и по скорости в единицу времени (Ерешко, Борисов, 2021).

В связи с этим повышается нагрузка на бортовые системы сбора данных, которые предназначены для сбора и хранения целевой информации с приборов комплекса целевой (или научной) аппаратуры (КЦА) и бортовых служебных систем, передачи командной информации в КЦА, а также вывода накопленной информации в подсистему радиоканала. Обобщённая схема бортовой информационно-управляющей системы приведена в работе (Ануфрейчик и др., 2007) и изображена на *рис. 1*.

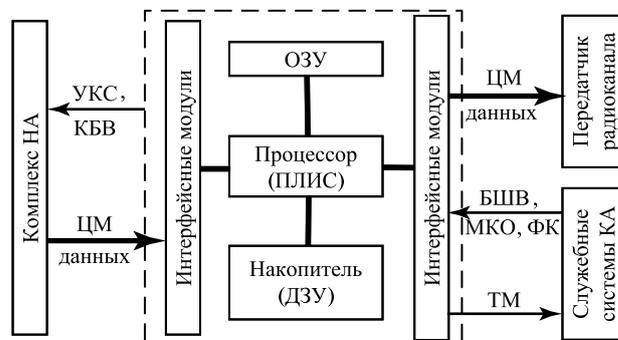


Рис. 1. Обобщённая схема бортовой информационно-управляющей системы: ОЗУ — оперативное запоминающее устройство; НА — научная аппаратура; ПЛИС — программируемая логическая интегральная схема; ДЗУ — долговременное запоминающее устройство; УКС — управляющее кодовое слово; КБВ — код бортового времени; ЦМ — цифровой массив; БШВ — бортовая шкала времени; МКО — магистральный канал обмена; ТМ — телеметрия; ФК — функциональные команды

Ключевыми требованиями к реализации современных КЦА и бортовых систем сбора данных выступают уменьшение габаритных размеров — вследствие дороговизны вывода на орбиту каждого килограмма полезной нагрузки (Гобчанский, 1998), а также радиационная стойкость, низкое энергопотребление и высокая надёжность хранения информации — в связи с возможностью резервирования данных в долговременной памяти для безотказной работы в течение 10 лет и более (Чулков и др., 2005). Предпочтительная реализация на отечественных компонентах тоже становится важным аспектом.

В нынешнее время доступными для поставки электронными компонентами, предназначенными для применения в КА, оказываются компоненты производства России и Китайской Народной Республики, однако китайские комплектующие зачастую имеют большую стоимость, а также требуют отдельной сертификации для применения в составе бортовой аппаратуры.

Центральный узел схемы на *рис. 1* — вычислительный блок, в качестве которого используется процессор или ПЛИС (программируемая логическая интегральная схема). Такой блок присутствует и в составе научных приборов. Но во многих случаях одновременное использование процессора и ПЛИС в связке имеет большие преимущества, когда при ограниченных ресурсах необходимо сочетать гибкость программного обеспечения, выполняемого на процессоре: управление потоками данных, их обработку и организацию в памяти и высокую производительность параллельной обработки на ПЛИС, выступающей в роли высокоскоростного параллельного контроллера с поддержкой стандартных и специализированных интерфейсов.

Однако в классической реализации, наглядным примером которой может служить научный прибор «ПИНГВИН-МД» (Дергачев и др., 2010), эти компоненты представляют собой отдельные микросхемы, что требует использования дополнительной периферии: пассивных элементов (резисторов, конденсаторов), микросхем памяти и других компонентов. Это сказывается на габаритах, параметрах надёжности и энергопотреблении системы. Кроме того, разработчикам необходимо проектировать интерфейсы взаимодействия между процессором и ПЛИС, включая выбор протоколов обмена данными, их аппаратную реализацию и обеспечение стабильной связи.

Реализация компонентов на одной микросхеме

Система на кристалле (СнК) в широком значении представляет собой объединение нескольких элементов вычислительного устройства на одной кремниевой подложке.

В свою очередь, конфигурируемые СнК реализуют интегральные устройства, объединяющие встроенный процессор, программируемую логику ПЛИС, память и прочие вспомогательные ресурсы и блоки, например генераторы тактового сигнала и генераторы прерываний на одном кристалле. Все эти блоки соединяются между собой внутри кристалла с помощью оптимизированного интерфейса, например, специализированной внутренней шины. Данная архитектура устраняет необходимость использования дискретных компонентов для реализации аналогичных функций, обеспечивая при этом высокую производительность и гибкость проектирования. Такое устройство может рассматриваться как процессор с мощной программируемой периферией (Тарасов, 2005).

Особенность архитектуры с внутренней связью между ПЛИС и процессором состоит в возможности конфигурации ПЛИС через процессор — загрузка конфигурационного программного обеспечения в ПЛИС из внутренней памяти, подключённой к процессору, или напрямую — через стандартные интерфейсы программирования JTAG (*англ.* Joint Test Action Group), SPI (*англ.* Serial Peripheral Interface).

Возможность конфигурирования ПЛИС процессором может позволить сократить количество микросхем конфигурационной памяти, сохраняя конфигурацию ПЛИС и процессора на одном ПЗУ (постоянное запоминающее устройство).

В итоге использование конфигурируемой СнК в бортовых системах вместо отдельных микросхем процессора и ПЛИС может позволить уменьшить энергопотребление посредством исключения внешних интерфейсов; сократить количество используемых микросхем конфигурационной памяти; повысить надёжность благодаря минимизации внешних соединений и упростить процесс разработки за счёт возможности применения единой отладочной платы.

Примером использования СнК в составе аппарата ДЗЗ может быть разработанный Специальным конструкторским бюро космического приборостроения Института космических исследований РАН (СКБ КП ИКИ РАН) Блок накопления данных (БНД) (<https://skb.tarusa.ru/?p=22>), являющийся частью таких комплексов, как «Метеор-М» и «Электро-Л». Учитывая данный опыт и описанные преимущества архитектуры СнК, рассмотрим отечественный вариант подобной микросхемы с точки зрения перспектив применения в спутниках ДЗЗ, опираясь на образцы прошлого поколения.

Характеристики и преимущества системы на кристалле 5510ТС028

В качестве решения, объединяющего ПЛИС и процессор на одной кремниевой подложке, с внутренней связью между этими двумя компонентами и возможностью конфигурировать ПЛИС с помощью процессора, была рассмотрена микросхема 5510ТС028 — единственная СнК отечественного производства с ПЛИС и процессорным ядром типа RISC-V разрядностью 32 бита в составе. Микросхема располагает запоминающими устройствами, достаточно большим количеством блоков интерфейсов связи с внешними устройствами, а также включает блок интерфейса для конфигурирования ПЛИС процессором. Все данные блоки и ПЛИС соединены с процессором шиной AMBA АНВ (*англ.* Advanced Microcontroller Bus Architecture — Advanced High-performance Bus) (*рис. 2*, см. с. 114), работа которой оптимизирована и инкапсулирована. Дополнительным преимуществом данной микросхемы является её заявленная радиационная стойкость.

Система на кристалле имеет несколько микросхем памяти, они, вместе с другими характеристиками микросхемы, описаны в *табл. 1*. Программируемая логическая интегральная схема в составе микросхемы имеет 190 пользовательских выводов и 17 920 логических элементов, IP-блоки памяти (*англ.* intellectual property), LVDS (*англ.* Low-Voltage Differential Signaling) и ФАПЧ (фазовая автоподстройка частоты), позволяющие делить и умножать исходную частоту на величины, равные степени числа два.

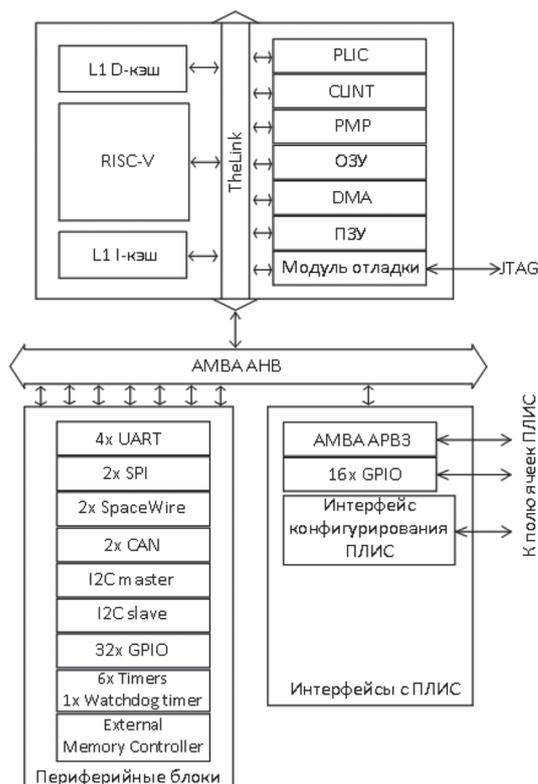


Рис. 2. Блок-схема процессорного ядра RISC-V: L1 D-кэш — кэш данных первого уровня; RISC-V — архитектура процессора с сокращённым набором команд; L1 I-кэш — кэш инструкций первого уровня; PLIC — Platform Level Interrupt Controller (контроллер прерываний на уровне платформы); CLINT — Core-Local Interrupt Controller (контроллер прерываний на уровне ядра); PMP — Physical Memory Protection (физическая защита памяти); ОЗУ — оперативное запоминающее устройство; ПЗУ — постоянное запоминающее устройство; UART — Universal Asynchronous Receiver-Transmitter (универсальный асинхронный приёмопередатчик); SPI — Serial Peripheral Interface (последовательный периферийный интерфейс); CAN — Controller Area Network (сеть контроллеров); I2C — Inter-Integrated Circuit (шина для связи между интегральными схемами); GPIO — General-Purpose Input/Output (выводы общего назначения); AMBA APB3 — Advanced Microcontroller Bus Architecture — Advanced Peripheral Bus (усовершенствованная периферийная шина); DMA — Direct Memory Access (прямой доступ к памяти); JTAG — Joint Test Action Group (интерфейс отладки цифровых микросхем); SpaceWire — телекоммуникационная сеть для космических аппаратов; Timers — таймеры; Watchdog timer — сторожевой таймер; External Memory Controller — внешний контроллер памяти

Таблица 1. Характеристики микросхемы

Число логических элементов ПЛИС	17 920
Число пользовательских выводов ПЛИС	190
Память ОЗУ ПЛИС, КБ	12
Память ОЗУ процессора, КБ	32
Конфигурационная память ПЛИС, КБ	357
Однократно программируемое ПЗУ, КБ	512
Количество IP-блоков ОЗУ (1 КБ), шт	11
Количество IP-блоков ФАПЧ, шт	2
Количество IP-блоков LVDS, шт	2
Тип процессорного ядра	RISC
Разрядность процессорного ядра	32
Радиационная стойкость, МэВ·см ² ·мг ⁻¹	60

Вышеописанные характеристики выглядят перспективными для использования микросхемы в составе научной аппаратуры и систем сбора данных. Но для полного понимания свойств 5510TC028 была проверена работа тестовых проектов.

Тестовый проект для испытания процессора и ПЛИС

Для макетирования и отладки проектов для микросхемы 5510TC028 компанией АО «Микрон» была предоставлена отладочная плата (рис. 3).

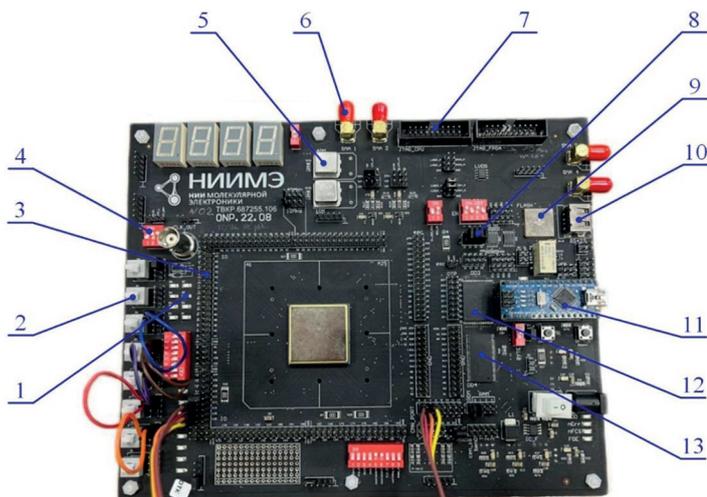


Рис. 3. Отладочная плата компании «Микрон»: 1 — светодиоды; 2 — кнопки; 3 — порты GPIO; 4 — переключатели режима ПЛИС; 5 — тактовые генераторы; 6 — разъёмы SMA; 7 — разъём JTAG; 8 — разъёмы SpaceWire; 9 — микросхема памяти EEPROM 1661PP065; 10 — разъём USB; 11 — программатор ПЛИС; 12 — микросхема конфигурационной памяти процессора; 13 — микросхема пользовательской SRAM

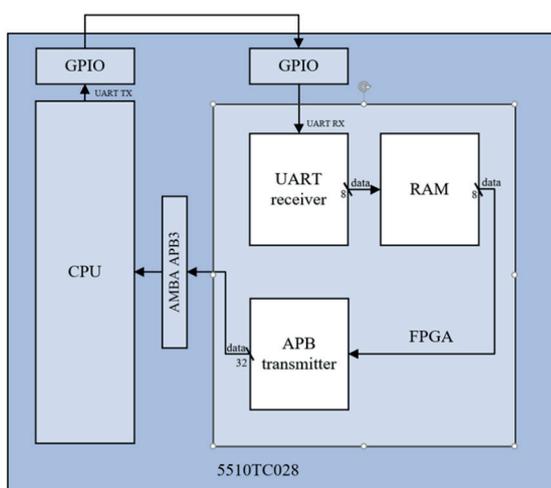


Рис. 4. Блок-схема тестового проекта: CPU — Central Processing Unit (центральный процессор); GPIO — General-Purpose Input/Output (выводы общего назначения); RAM — Random Access Memory (оперативная память); APB Transmitter — передатчик данных по интерфейсу APB

Для изучения корректности и скорости работы интерфейса взаимодействия ПЛИС и процессора, блоков памяти, определения рабочей частоты микросхемы и энергопотребления отладочной платы был создан тестовый проект, блок-схема которого изображена на рис. 4.

Для создания конфигурации ПЛИС использовалась САПР (система автоматизированного проектирования) XCAD и язык описания аппаратуры Verilog 2005. На базе процессора была реализована выдача данных (чисел от 0 до 255) по интерфейсу UART в ПЛИС через порт GPIO (*англ.* General-Purpose Input/Output). В ПЛИС данные декодировались из формата интерфейса UART, сохранялись в блоке RAM (*англ.* random access memory) и выдавались обратно в процессор по 32-битной шине AMBA APB3. Результат работы проекта фиксировался посредством вывода процессором получаемых от ПЛИС чисел и сравнения с исходной последовательностью.

После соответствующей конфигурации проект безошибочно работал на частоте 10 МГц. На *рис. 5а* приведён образец одного байта, передаваемого согласно интерфейсу UART — стартовый бит (*англ.* Start Bit), 8 информационных битов и стоповый бит (*англ.* Stop Bit), на *рис. 5б* — осциллограмма сигнала, принимаемого ПЛИС от процессора. Скорость работы UART в проекте — 115 200 бит/с.

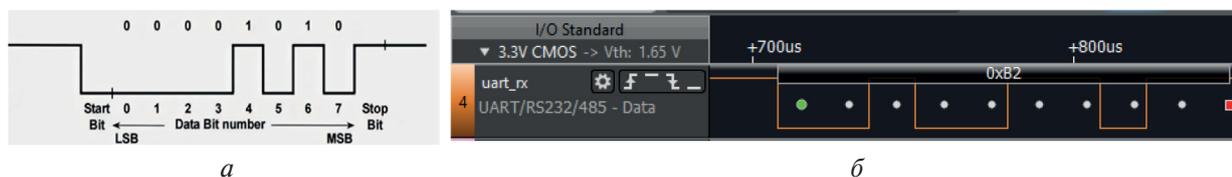


Рис. 5. Образец байта, передаваемого по UART (*а*). LSB — наименее значащий бит, MSB — наиболее значащий бит. Принимаемый ПЛИС от процессора сигнал по UART (*б*)

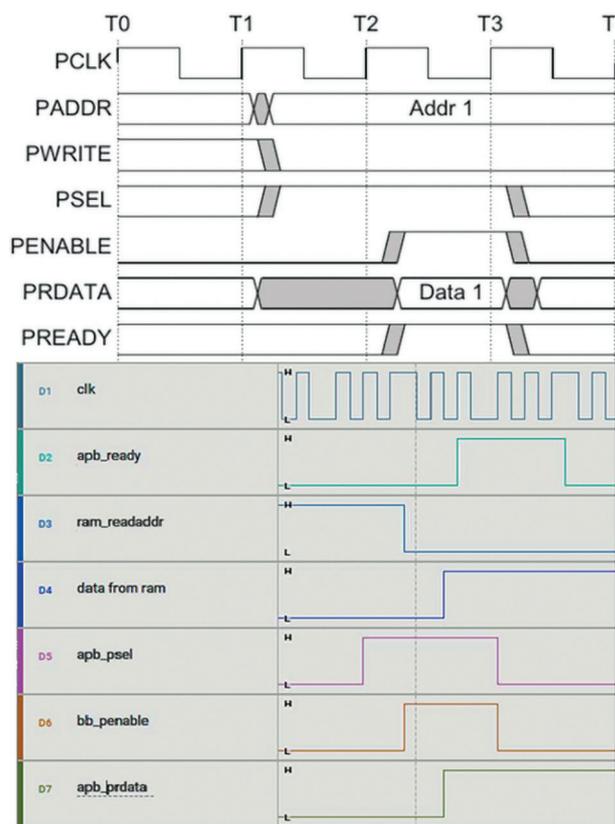


Рис. 6. Осциллограммы интерфейса AMBA APB3

На *рис. 6* показано сравнение сигналов интерфейса AMBA APB 3 согласно документации и на практике передаваемых ПЛИС в процессор. Сигналы были выведены на порты GPIO ПЛИС и исследовались логическим анализатором Saleae Logic. Передача данных из RAM

(см. рис. 4) в процессор возможна в момент одновременного активного состояния сигналов `renable` и `psel`. Эти сигналы задерживаются в активном состоянии сигналом `pready`, чтобы за время транзакции успела произойти смена адреса чтения из памяти (сигнал `ram_readaddr`) и чтение байта данных из памяти (сигнал `data_from_ram`). В итоге в заданный сигналами `renable` и `psel` интервал времени происходит передача нового подготовленного байта данных по 32-битной шине `prdata`.

Дополнительно была проведена проверка возможности работы микросхемы на более высокой частоте. С учётом имеющихся на отладочной плате тактовых генераторов на 10 и 40 МГц и блоков ФАПЧ с множителем частоты на степени числа два ближайшим значением частоты в большую сторону являлось значение в 20 МГц. На частоте 20 МГц были ошибки в виде искажения исходных чисел. Статический временной анализ, представленный в САПР ХСАД, обозначил частоту в 20,8 МГц как максимальную рабочую, что, учитывая возможную погрешность, объясняет ошибки в тесте на частоте 20 МГц.

Как видно по рис. 7, при работе на частоте 10 МГц временной интервал между приходящими в ПЛИС от процессора сигналами `psel` и `renable` составил 3,125 мкс. Тогда скорость передачи данных по 32-битной шине равна 10,24 Мбит/с.



Рис. 7. Период следования транзакций для передачи данных на шине AMBA APB3

Проект занял 323 логические ячейки ПЛИС, что составило 1,8 % от 17 920 — общего числа логических ячеек.

Измеренное энергопотребление платы во время работы было 3,55 Вт.

Выводы

По результатам работы с микросхемой 5510ТС028 можно выделить несколько особенностей её устройства и функционирования:

1. Рабочая частота до 20 МГц.

Частота в 20 МГц была обозначена статическим временным анализатором как предельная, на которой возможна корректная работа проекта. Если в будущем при проектировании устройств с микросхемой 5510ТС028 использовать другие тактовые генераторы, позволяющие получить частоту в диапазоне от 10 до 20 МГц, возможно, частота работы проекта окажется выше, чем 10 МГц в проведённом тесте. В зависимости от интерфейса, при такой частоте скорость радиоканала, подключённого к бортовой системе, включающей данную микросхему, может составлять от 20 до 120 Мбит/с. Примерно на такой же скорости работает радиоканал в Бортовой информационной системе БИС-М в составе комплекса «Метеор-3М» (Горбунов и др., 2008), а также в БИС-А в составе комплекса «Ресурс-Арктика» (Макриденко и др., 2016).

2. Количество логических элементов 17 920.

Такое число позволит реализовать контроллеры многих необходимых в бортовой системе интерфейсов. Для алгоритмов предобработки данных, как правило, требуется большее количество, но данную функцию в случае использования СпК 5510ТС028 берёт на себя процессорная часть.

3. Интерфейс обмена данными между компонентами.

Программируемая логическая интегральная схема и процессор могут обмениваться данными на частоте 10,24 Мбит/с — такая скорость достаточна для работы в составе бортовой аппаратуры. Например, ПЛИС и процессор (зарубежного производства) в составе системы управления, сбора и передачи информации проекта РЕЗОНАНС обмениваются данными со скоростью 4,8 Мбит/с. Система на кристалле 5510ТС028 даёт даже более высокую скорость. Помимо того, сама возможность использовать в качестве готового решения данный интерфейс обмена данными — дополнительное преимущество для разработчика.

4. Радиационная стойкость, необходимая для космических систем.

5. Единственная отечественная СнК, объединяющая процессор и ПЛИС.

Результаты тестирования приведены в *табл. 2*.

Таблица 2. Результаты тестирования

Рабочая частота	до 20 МГц
Количество используемых логических элементов	323
Скорость обмена данными между ПЛИС и процессором	10,24 Мбит/с

Заключение

В качестве примера использования СнК была рассмотрена отечественная микросхема 5510ТС028. Её компактность, радиационная стойкость, характеристики, такие как рабочая частота и полученная в тестовой конфигурации скорость обмена данными между ПЛИС и процессором, подтверждают возможность её использования для разработки бортовых систем сбора данных КЦА будущих отечественных проектов в области ДЗЗ, таких, например, как БИС-М в составе «Метеор-3М», БИС-А в составе комплекса «Ресурс-Арктика», а также для предобработки данных на борту в целях «интеллектуализации» бортовых функций («Концепция развития российской космической системы дистанционного зондирования Земли на период до 2025 года»).

Система на кристалле как решение, объединяющее процессор и ПЛИС, привлекает своей компактностью, высокой надёжностью и удобством создания конфигурации благодаря использованию общей отладочной платы.

Литература

1. Ануфрейчик К. В., Чулков И. В., Бунтов М. В., Семена Н. П., Коновалов А. А., Никифоров А. В. Построение кластера на накопителях типа Flash для использования в бортовых информационно-управляющих системах // Космич. приборостроение: приборы для космич. исслед. планет и Земли. М.: ИКИ РАН, 2007. С. 329–339.
2. Гобчанский О. П. Унифицированные средства бортовых вычислительных комплексов космических аппаратов // СТА. 1998. № 1. С. 72–76.
3. Горбунов А. В., Чуркин А. Л., Павлов Д. А. Космический комплекс гидрометеорологического и океанографического обеспечения «Метеор-3М» с космическим аппаратом «Метеор-М» // Вопросы электромеханики. 2008. Т. 105. С. 17–28.
4. Дергачев В. А., Матвеев Г. А., Круглов Е. М., Лазутков В. П., Савченко М. И., Скородумов Д. В., Пятигорский А. Г., Пятигорский Г. А., Чичикалюк Ю. А., Шишов И. И., Хмылко В. В., Васильев Г. И., Драневич В. А., Крутьков С. Ю., Степанов С. В., Котов Ю. Д., Юров В. Н., Гляненько А. С., Архангельский А. И., Горелый Ю. А., Рубцов И. В. Прибор «ПИНГВИН-М», предназначенный для исследования поляризации жесткого рентгеновского излучения Солнца в космическом проекте «КОРОНАС-ФОТОН» // Первые этапы летных испытаний и выполнение программы науч. исслед. по проекту «КОРОНАС-ФОТОН». М.: ИКИ РАН, 2010. С. 83–106.
5. Ерешко М. В., Борисов А. В. Концептуальные сценарии развития наземной космической инфраструктуры приема целевой информации перспективной орбитальной группировки дистанци-

- онного зондирования Земли // Космич. техника и технологии. 2021. № 2(33). С. 119–129. DOI: 10.33950/spacetech-2308-7625-2021-2-119-129.
6. Макриденко Л. А., Волков С. Н., Горбунов А. В., Ходненко В. П. Космический комплекс «Ресурс-Арктика» с космическим аппаратом «Ресурс-О1» № 5 // Вопросы электромеханики. Тр. ВНИИЭМ. 2016. Т. 150. С. 46–54.
 7. Тарасов И. Системы на кристалле на базе ПЛИС FPGA Xilinx со встроенными процессорами PowerPC // Компоненты и технологии. 2005. № 7(51). С. 62–66.
 8. Чулков И. В., Бунтов М. В., Тимонин Д. Г., Коновалов А. А., Ануфрейчик К. В., Никифоров А. В. Процессорный модуль для бортовой системы сбора и хранения научной информации // Вопросы миниатюризации в современном космич. приборостроении. М.: ИКИ РАН, 2005. С. 149–155.

The use of a domestic radiation-hardened system-on-chip in the development of spacecraft onboard data acquisition systems

N. Yu. Shchepotyev, S. E. Moiseev, A. V. Nikiforov, A. V. Semenov,
A. A. Matyukhin, K. Yu. Solovyev, K. V. Anufreychik

*Space Research Institute RAS, Moscow 117997, Russia
E-mail: shchepotyev@cosmos.ru*

The aim of this study is to evaluate the application of the domestic radiation-hardened system-on-chip (SoC) 5510TC028 in creating onboard data acquisition systems of Earth remote sensing (ERS) spacecraft. The key advantage of this SoC is the integration on a single chip of a 32-bit RISC-V processor core and a Field-Programmable Gate Array (FPGA) interconnected via an internal high-speed bus. The work methodology involved testing on a development board. A test configuration was developed to verify the correct interaction between the processor and the FPGA via standard interfaces, and to evaluate the operational frequency and data exchange performance. The experiments confirmed the system's stable operation. A data transfer rate between the cores sufficient for the target tasks was achieved and the maximum operating frequency was determined. On the basis of an analysis of modern ERS spacecraft requirements and development trends, the article shows that the integration of components, confirmed radiation tolerance, compactness, and use of the domestic component base make the SoC 5510TC028 a ready and promising solution for developing onboard equipment for future Russian space missions.

Keywords: system-on-chip, SoC, onboard data acquisition systems, remote sensing spacecraft, field-programmable gate array, FPGA, RISC-V processor core, domestic component base, development board, AMBA interface

Accepted: 15.10.2025

DOI: 10.21046/2070-7401-2026-23-1-111-120

References

1. Anufreychik K. V., Chulkov I. V., Buntov M. V., Semena N. P., Konovalov A. A., Nikiforov A. V., Building a flash storage-based cluster for use in onboard information and control systems, In: *Kosmicheskoe priborostroenie: pribory dlya kosmicheskikh issledovaniy planet i Zemli* (Space instrumentation: Instruments for space exploration of planets and Earth), Moscow: IKI RAN, 2006, pp. 329–339 (in Russian).
2. Gobchanskiy O. P., Unified means of onboard computing systems for spacecraft, *STA*, 1998, No. 1, pp. 72–76 (in Russian).
3. Gorbunov A. V., Churkin A. L., Pavlov D. A., Meteor-3M space system for hydrometeorological and oceanographic support with the Meteor-M spacecraft, *Voprosy ehlektromekhaniki*, 2008, V. 105, pp. 17–28 (in Russian).
4. Dergachev V. A., Matveev G. A., Kruglov E. M., Lazutkov V. P., Savchenko M. I., Skorodumov D. V., Pyatigorsky A. G., Pyatigorsky G. A., Chichikaljuk Yu. A., Shishov I. I., Khmylko V. V., Vasilyev G. I.,

- Dranevich V.A., Krutkov S.Yu., Stepanov S.V., Kotov Yu.D., Yurov V.N., Glyanenko A.S., Arkhangel'sky A.I., Gorelyi Yu.A., Rubtsov I.V., The PINGVIN-M instrument designed for the study of hard X-ray polarization of the Sun in the CORONAS-PHOTON space project, In: *Pervye etapy letnykh ispytaniy i vypolnenie programmy nauchnykh issledovaniy po proektu "KORONAS-FOTON"* (The first stages of flight testing and implementation of the scientific research program for the CORONAS-PHOTON project), Moscow: IKI RAN, 2010, pp. 83–106 (in Russian).
5. Ereshko M.V., Borisov A.V., Conceptual scenarios for development of ground infrastructure for receiving mission payload data from a perspective Earth remote sensing satellite constellation, *Kosmicheskaya tekhnika i tekhnologii*, 2021, No. 2(33), pp. 119–129 (in Russian), DOI: 10.33950/spacetech-2308-7625-2021-2-119-129.
 6. Makridenko L.A., Volkov S.N., Gorbunov A.V., Khodnenko V.P., Resurs-Arktika space system with the Resurs-O1 No. 5 spacecraft, *Voprosy ehlektromekhaniki. Trudy VNIIEМ*, 2016, V. 150, pp. 46–54 (in Russian).
 7. Tarasov I., System-on-chip based on Xilinx FPGA with embedded PowerPC processors, *Komponenty i tekhnologii*, 2005, No. 7(51), pp. 62–66 (in Russian).
 8. Chulkov I.V., Buntov M.V., Timonin D.G., Kononov A.A., Anufreychik K.V., Nikiforov A.V., A processor module for the onboard system of collection and storage of scientific data, In: *Voprosy miniaturizatsii v sovremennom kosmicheskom priborostroenii* (Issues of miniaturization in modern space instrumentation), Moscow: IKI RAN, 2005, pp. 149–155 (in Russian).